

## KOREAN PATENT ABSTRACTS

(11)Publication number; **100364815 B1**

(43)Date of publication of application:  
**02.12.2002**

---

(21)Application number; **1020010023182**

(71)Applicant: **HYNIX  
SEMICONDUCTOR  
INC.**

(22)Date of filing: **28.04.2001**

(72)Inventor: **LEE, DA SOON**

(51)Int. Cl **H01L 29 /78**

### (54) **HIGH VOLTAGE DEVICE AND FABRICATING METHOD THEREOF**

#### (57) Abstract:

PURPOSE: A high voltage device is provided to prevent a voltage tolerance characteristic from being deteriorated by increased integration of the high voltage device by improving voltage tolerance while reducing the size of the high voltage device. CONSTITUTION: The first region has vertical wall surfaces on its both sides. The second and third regions having a height larger than that of the first region at both sides of the first region. A substrate(31) includes the first, second and third regions. A channel region(36) is formed in the surface of the substrate of the first region including a part of the vertical wall surfaces. The first insulation layer is formed on the first region including the vertical wall surfaces. Buffering conductive layers are adjacent to the wall surfaces at both sides of the first region, separated from each other. The second insulation layer has a recessed portion between the buffering conductive layers. A gate electrode(42a) is so formed to overlap a part of the buffering conductive layers, insulated by the third insulation layer and filling the recessed portion. Drift regions having the first depth are formed in the second and third regions. A source/drain having the second depth shallower than the first depth is formed in the second and third regions.

copyright KIPO 2003

(19) 대한민국특허청 (KR)  
(12) 등록특허공보 (B1)

(51) . Int. Cl. <sup>7</sup>  
H01L 29/78

(45) 공고일자 2002년12월16일  
(11) 등록번호 10-0364815  
(24) 등록일자 2002년12월02일

(21) 출원번호 10-2001-0023182  
(22) 출원일자 2001년04월28일

(65) 공개번호 특0000-00000000  
(43) 공개일자 0000년00월00일

(73) 특허권자 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 이다순  
경기도수원시팔달구매향동121-89

(74) 대리인 강용복  
김용인

심사관 : 임동우

(54) 고전압 소자 및 그 제조방법

요약

본 발명은 게이트 전극에 인가되는 고전압에 대한 내압 특성을 향상시키기 위한 고전압 소자에 관한 것으로, 수직한 벽면을 양측에 갖는 제 1 영역과 제 1 영역의 양측에 그보다 높은 높이를 갖는 제 2, 3 영역을 갖는 기판과, 상기 수직한 벽면의 일부를 포함하는 제 1 영역의 기판 표면내에 형성되는 채널 영역과, 상기 수직한 벽면을 포함하는 제 1 영역의 표면상에 형성되는 제 1 절연막과, 상기 제 1 영역의 양측에 벽면에 인접하도록 분리되어 형성되는 버퍼용 도전막들과, 상기 버퍼용 도전막들 사이에 리세스 부분을 갖고 형성되는 제 2 절연막과, 제 3 절연막에 의해 절연되어 리세스 부분을 채우고 버퍼용 도전막들과 일부 오버랩되어 형성되는 게이트 전극과, 상기 제 2, 3 영역에 제 1 깊이를 갖고 각각 형성되는 드리프트 영역들과, 상기 제 2, 3 영역에 제 1 깊이보다 얇은 제 2 깊이를 갖고 형성되는 소오스/드레인을 포함한다.

대표도  
도 3p

색인이  
고전압 트랜지스터 (High Voltage Transistor)

명세서

## 도면의 간단한 설명

도 1은 종래 제 1 실시예에 따른 고전압 소자의 단면도

도 2는 종래 제 2 실시예에 따른 고전압 소자의 단면도

도 3a 내지 도 3p는 본 발명의 실시예에 따른 고전압 소자의 제조공정 단면도

도면의 주요 부분에 대한 부호 설명

31 : 반도체 기판 32 : 드리프트 이온 주입 영역

33 : 소오스/드레인 이온 주입 영역

34 : 제 1 포토레지스트 35 : 트렌치

36 : 채널 영역 37 : 제 1 산화막

38 : 제 1 폴리 실리콘막 38a : 버퍼 폴리막

39 : 제 2 포토레지스트 40, 40a : 제 2 산화막

41 : 제 3 산화막 42 : 제 2 폴리 실리콘막

42a : 게이트 전극 43 : 제 3 포토레지스트

44 : 층간 절연막 45 : 콘택홀

46a : 드레인 콘택 46b : 게이트 콘택

46c : 소오스 콘택 47 : 제 4 포토레지스트

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로 특히, 게이트 전극에 인가되는 고전압에 대한 내압 특성을 향상시키기 위한 고전압 소자 및 그 제조방법에 관한 것이다.

일반적으로 고전압을 사용하는 외부 시스템이 집적 회로에 의해 제어되는 경우 집적 회로는 내부에 고전압 제어를 위한 소자가 필요하게 되고, 이러한 소자는 높은 브레이크다운 전압(Breakdown Voltage)을 갖는 구조를 필요로 한다.

즉, 고전압이 집적 인가되는 트랜지스터의 드레인 또는 소오스에 있어서는 드레인 및 소오스와 반도체 기판 사이의 펀치 스루(Punch-Through) 전압과 상기 드레인 및 소오스와 웰(Well) 또는 기판 사이의 브레이크다운 전압(Breakdown Voltage)이 상기 고전압보다 커야 한다.

일반적으로 고전압용 반도체 소자로 PN 다이오드를 내장한 DMOS가 사용되고 있는데, 이는 드레인 영역을 이중의 불순물 확산 영역으로 형성하여 트랜지스터의 펀치 쓰루(Punch - Through) 전압과 브레이크다운 전압(Breakdown Voltage)을 높이고, 소오스 및 드레인 영역 사이에 PN 다이오드를 형성하여 트랜지스터의 오프(Off)시 과다 전압에 의해 소자가 파괴되는 현상을 방지할 수 있게 된다.

이하, 첨부된 도면을 참조하여 종래 기술에 따른 고전압 소자 및 그 제조방법을 설명하면 다음과 같다.

도 1은 종래 제 1 실시예에 따른 고전압 소자의 단면도이고, 도 2는 종래 제 2 실시예에 따른 고전압 소자의 단면도이다.

대표적인 고전압 반도체 소자로는 수평 확산형 모스 트랜지스터(Lateral Diffused MOS : LDMOS)와 이중 확산형 드레인(Double Diffused Drain : DDD) 구조의 모스 트랜지스터가 있는데, 그 구성을 도 1 내지 도 2를 참조하여 상세히 설명하면 다음과 같다.

도 1은 DMOS를 횡 방향 형태로 만든 LDMOS의 구조를 나타낸 도면으로, n형 반도체 기판(11)과, 상기 반도체 기판(11)의 소정 부분에 형성된 p형 웰(12)과, 상기 p형 웰(12) 내부의 일영역에 소정 깊이로 형성되는 고농도 n형 불순물층인 드레인 영역(13)과 상기 p형 웰(12)과 소정의 거리를 갖는 반도체 기판(11)의 일영역에 형성되는 고농도 n형 불순물층인 소오스 영역(14)과, 상기 드레인 영역(13) 및 p형 웰(12)과 이에 인접한 반도체 기판(11)상에서는 제 1 두께로 형성되며 상기 소오스 영역(14) 및 이에 인접한 반도체 기판(11)상에서는 상기 제 1 두께보다 큰 제 2 두께로 형성되는 게이트 산화막(15)과, 상기 게이트 산화막(15)의 소정 영역상에 형성되며 상기 드레인 영역(13) 및 이에 접한 p형 웰(12)과는 그 상부에서 오버랩(Overlap)되고 상기 소오스 영역(14)과는 일정한 거리를 갖도록 형성되는 게이트 전극(16)과, 상기 게이트 산화막(15)을 관통하여 상기 드레인 영역(13) 및 소오스 영역(14)에 각각 접속되는 드레인 콘택(17) 및 소오스 콘택(18)을 포함하여 구성된다.

그리고, 도 2는 이중 확산 드레인(DDD : Double Diffused Drain) 구조의 고전압 트랜지스터 구조를 나타낸 도면으로, p형 기판(21)과, 상기 기판(21)상에 형성되는 게이트 산화막(25)과, 상기 게이트 산화막(25)상의 소정 부분에 형성되는 게이트 전극(26)과, 상기 게이트 전극(26) 하부 양측의 기판(21)에 소정 깊이로 형성되며 상기 게이트 전극(26) 에지 하부에서 일정 부분이 오버랩되도록 형성되는 n형 드리프트 영역(22)과, 상기 게이트 전극(26) 일측의 상기 드리프트 영역(22) 내에 형성되는 고농도 n형의 드레인 영역(23)과, 상기 게이트 전극(26) 타측의 상기 드리프트 영역(22) 내에 형성되는 고농도의 n형 소오스 영역(24)과, 상기 게이트 산화막(25)을 관통하여 상기 드레인 영역(23) 및 소오스 영역(24)에 각각 접속되는 드레인 콘택(27) 및 소오스 콘택(28)을 포함하여 구성된다.

#### 발명이 이루고자 하는 기술적 과제

그러나, 상기와 같은 종래의 고전압 소자에서는 내압 특성을 향상시키기 위하여 게이트 전극 에지와 상기 고농도의 소오스/드레인 영역 사이의 거리 즉, 드리프트 영역의 횡 방향 길이를 증가시키어 형성해야 한다.

하지만, 반도체 소자가 집적화됨에 따라서 상기 드리프트 영역의 길이도 점점 축소되어 지므로 고전압 소자의 내압 특성이 저하되는 문제점이 있다.

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로 내압 특성을 향상시킴과 동시에 소자의 사이즈를 줄이어 집적도를 향상시키기에 적합한 고전압 소자 및 그 제조방법을 제공하는 데 그 목적이 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 고전압 소자는 수직한 벽면을 양측에 갖는 제 1 영역과 제 1 영역의 양측에 그보다 높은 높이를 갖는 제 2, 3 영역을 갖는 기판과, 상기 수직한 벽면의 일부를 포함하는 제 1 영역의 기판 표면내에 형성되는 채널 영역과, 상기 수직한 벽면을 포함하는 제 1 영역의 표면상에 형성되는 제 1 절연막과, 상기 제 1 영역의 양측에 벽면에 인접하도록 분리되어 형성되는 버퍼용 도전막들과, 상기 버퍼용 도전막들 사이에 리세스 부분을 갖고 형성되는 제 2 절연막과, 제 3 절연막에 의해 절연되어 리세스 부분을 채우고 버퍼용 도전막들과 일부 오버랩되어 형성되는 게이트 전극과, 상기 제 2, 3 영역에 제 1 깊이를 갖고 각각 형성되는 드리프트 영역들과, 상기 제 2, 3 영역에 제 1 깊이보다 얕은 제 2 깊이를 갖고 형성되는 소오스/드레인을 포함하여 구성됨을 특징으로 한다.

상기와 같이 구성되는 고전압 소자의 제조방법은 반도체 기판에 드리프트 영역을 형성하는 단계와, 상기 드리프트 영역 내에 소오스/드레인 이온 주입 영역을 형성하는 단계와, 상기 반도체 기판의 일영역에 상기 드리프트 영역보다 깊은 트렌치를 형성하는 단계와, 트렌치를 포함한 전 표면상에 제 1 절연막을 형성하고 그 상부에 제 1 도전막을 형성하는 단계와, 상기 제 1 도전막을 선택적으로 제거하여 상기 트렌치 양측면에 버퍼용 도전막을 형성하는 단계와, 상기 트렌치 하부에 소정 두께의 제 2 절연막을 형성하는 단계와, 상기 버퍼용 도전막을 포함한 전 표면상에 제 3 절연막을 형성하고 그 상부에 제 2 도전막을 형성하는 단계와, 상기 제 2 도전막과 상기 제 3 절연막을 선택적으로 제거하여 상기 트렌치 상부 및 그에 인접한 버퍼용 도전막상에 게이트 전극을 형성하는 단계를 포함하여 형성함을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 고전압 소자 및 그 제조방법을 설명하면 다음과 같다.

도 3a 내지 도 3p는 본 발명의 실시예에 따른 고전압 소자의 제조공정 단면도이다.

본 발명에 따른 고전압 소자의 구조는 도 3p에 도시된 바와 같이, 상기 반도체 기판(31)의 일영역에 소정 깊이로 형성되는 트렌치(35)와, 상기 트렌치(35) 양측의 반도체 기판(31)에 상기 트렌치(35) 깊이보다 작은 제 1 깊이로 형성되는 드리프트 이온 주입 영역(32)과, 상기 드리프트 이온 주입 영역(32)에 상기 제 1 깊이보다 작은 제 2 깊이로 형성되는 소오스/드레인 이온 주입 영역(33)과, 상기 트렌치(35) 하부의 반도체 기판에 형성되는 채널 영역(36)과, 상기 트렌치(35)가 형성된 반도체 기판(31)의 표면상에 형성되는 제 1 산화막(37)과, 트렌치(35) 양측면에 형성되는 버퍼 폴리막(38a)과, 상기 트렌치(35) 하부의 상기 제 1 산화막(37)상에 소정 두께로 형성되는 제 2 산화막(40a)과, 상기 트렌치(35) 및 그에 인접한 상기 버퍼 폴리막(38a)상에 형성되는 게이트 전극(42a)과, 상기 게이트 전극(42a)을 상기 버퍼 폴리막(38a)으로부터 절연시키는 제 3 산화막(41)과, 상기 반도체 기판(31)의 전면에 형성되는 중간 절연막(44a)과, 상기 중간 절연막(44a)을 관통하여 상기 소오스/드레인 이온 주입 영역(33) 및 게이트 전극(42a)에 각각 접속되는 드레인 콘택(46a)과 게이트 콘택(46b)과 소오스 콘택(46c)으로 구성된다.

여기서, 상기 제 2 산화막(40a)의 두께는 상기 게이트 전극(42a)에 인가되는 고전압에 대한 내압 특성을 가지도록 충분히 두껍게 형성한다.

본 발명에 따른 고전압 소자의 제조방법은 도 3a에 도시된 바와 같이, 반도체 기판(31)에 저농도 n형(n-)의 불순물 이온을 제 1 깊이로 주입하여 드리프트 이온 주입 영역(32)을 형성하고, 상기 드리프트 이온 주입 영역(32)이 형성된 반도체 기판(31)에 고농도 n형(n+)의 불순물 이온을 상기 제 1 깊이보다 작은 제 2 깊이로 주입하여 소오스/드레인 이온 주입 영역(33)을 형성한다.

이때, 상기 고농도 n형의 불순물 이온 농도를 원하는 고전압에 맞게 조절하여 드레인 엔지니어링(Drain Engineering)을 수행하여 상기 소오스/드레인 이온 주입 영역(33)을 형성한다.

이어, 도 3b에 도시된 바와 같이 상기 반도체 기판(31)상에 제 1 포토레지스트(34)를 도포하고 노광 및 현상 공정으로 상기 반도체 기판(31)의 일영역이 노출되도록 상기 제 1 포토레지스트(34)를 패터닝한다.

그리고, 패터닝된 상기 제 1 포토레지스트(34)를 마스크로 이용하여 상기 제 1 깊이보다 큰 제 3 깊이로 상기 노출된 반도체 기판(31)을 제거하여 트렌치(35)를 형성한 후에 상기 제 1 포토레지스트(34)를 제거한다.

이어, 도 3c에 도시된 바와 같이 전면에서 채널 이온을 주입하여 상기 트렌치(35) 하부 및 하측면의 반도체 기판(31)에 채널 영역(36)을 형성한다.

이때, 상기 트렌치(35) 하부뿐만 아니라 측면에도 채널 이온이 고르게 주입되도록 틸트(Tilt) 이온 주입 공정을 실시한다.

이어, 도 3d에 도시된 바와 같이, 상기 트렌치(35)를 포함한 반도체 기판(31)의 전면에서 제 1 산화막(37)을 증착한다.

여기서, 상기 제 1 산화막(37)은 트렌치(35)가 형성된 반도체 기판(31)의 밑면과 측면에서 게이트 산화막의 역할을 하게 된다.

그리고, 도 3e에 도시된 바와 같이 상기 트렌치(35)를 포함한 반도체 기판(31)의 전면에서 제 1 폴리 실리콘막(38)을 증착한다.

여기서, 상기 제 1 폴리 실리콘막(38)은 상기 트렌치(35)가 완전히 매립되도록 충분히 두껍게 형성한다.

이어, 도 3f에 도시된 바와 같이 에치백(Etch-back) 공정으로 상기 트렌치(35) 내부에만 남도록 상기 제 1 폴리 실리콘막(38)을 평탄화시킨다.

이어, 도 3g에 도시된 바와 같이 상기 반도체 기판(31)의 전면에서 제 2 포토레지스트(39)를 도포하고 노광 및 현상 공정으로 상기 트렌치(35)의 센터(Center) 부분에 형성된 상기 제 1 폴리 실리콘막(38)이 노출되도록 상기 제 2 포토레지스트(39)를 패터닝한다.

즉, 상기 트렌치(35) 양 에지(Edge)에 형성된 상기 제 1 폴리 실리콘막(38)이 상기 제 2 포토레지스트(39)에 의해 마스크(Masking)되도록 상기 제 2 포토레지스트(39)를 패터닝한다.

그리고, 상기 패터닝된 제 2 포토레지스트(39)를 마스크로 이용한 식각 공정으로 상기 제 1 폴리 실리콘막(38)을 선택적으로 제거하여 상기 트렌치(35) 양측면에 버퍼 폴리막(38a)을 형성한다.

이후, 도 3h에 도시된 바와 같이, 상기 제 2 포토레지스트(39)를 제거하고 상기 트렌치(35) 양측에 형성되는 버퍼 폴리막(38a) 간을 절연시키는 동시에 채널 산화막으로서의 역할을 하는 절연막을 형성하기 위하여 상기 트렌치(35)를 포함한 반도체 기판(31)의 전면에서 제 2 산화막(40)을 증착한다.

그리고, 도 3i에 도시된 바와 같이 에치백(Etch-back) 공정으로 상기 트렌치(35) 하부에만 남도록 상기 제 2 산화막(40)을 선택적으로 제거한다.

이때, 트렌치(35) 하부에 잔존하는 제 2 산화막(40a)의 두께는 이후 형성되는 게이트 전극에 인가되는 전압에 대하여 내압 특성을 가지도록 충분히 두껍게 형성한다.

이어, 도 3j 및 도 3k에 도시된 바와 같이 상기 반도체 기판(31)의 전표면상에 제 3 산화막(41)을 증착한 후에 상기 트렌치(35) 상부를 포함한 반도체 기판(31)의 전면에서 제 2 폴리 실리콘막(42)을 증착한다.

이어, 도 3l에 도시된 바와 같이 상기 제 2 폴리 실리콘막(42)상에 제 3 포토레지스트(43)를 도포하고 노광 및 현상 공정으로 상기 버퍼 폴리막(38a) 사이에 형성된 상기 제 2 폴리 실리콘막(42)과 이에 인접한 영역상에 남도록 상기 제 3 포토레지스트(43)를 선택적으로 패터닝한다.

그리고, 상기 패터닝된 제 3 포토레지스트(43)를 마스크로 이용하여 상기 제 2 폴리 실리콘막(42)을 선택적으로 제거하여 게이트 전극(42a)을 형성하고 상기 제 3 포토레지스트(43)를 제거한다.

이어, 도 3m 및 도 3n에 도시된 바와 같이, 상기 반도체 기판(31)의 전면에 층간 절연막(44)을 형성하고 상기 소오스/드레인 이온 주입 영역(33) 및 상기 게이트 전극(42a)의 상부 표면이 노출되도록 상기 층간 절연막(44)을 선택적으로 제거하여 콘택홀(45)을 형성한다.

여기서, 상기 층간 절연막(44)으로는 BPSG막(Boron Phosphorus Silicate Glass)을 이용하여 형성한다.

그리고, 도 3o에 도시된 바와 같이 상기 콘택홀(45)을 포함한 전면에 금속막을 증착하고 상기 금속막상에 제 4 포토레지스트(47)를 도포한다.

이어, 노광 및 현상 공정으로 상기 콘택홀(45) 및 그에 인접한 영역 상부에만 남도록 상기 제 4 포토레지스트(47)를 선택적으로 패터닝하고 이를 마스크로 이용하여 상기 금속막을 선택적으로 제거하여 드레인 콘택(46a), 게이트 콘택(46b), 소오스 콘택(46c)을 각각 형성한다.

그리고, 도 3p에 도시된 바와 같이 상기 제 4 포토레지스트(47)를 제거하여 본 발명에 따른 고전압 소자를 완성한다.

상기한 본 발명에 따른 고전압 소자는 상기 게이트 전극(42a)에 높은 전압이 인가되더라도 상기 버퍼 폴리막(38a)이 이를 분할하여 완충시키는 역할을 하게 된다.

#### 발명의 효과

상기와 같은 본 발명의 고전압 소자 및 그 제조방법은 다음과 같은 효과가 있다.

첫째, 버퍼용 폴리막이 게이트 전극에 인가되는 고전압에 대한 완충 역할을 하여 고전압 소자의 내압 특성을 향상시킬 수 있으므로 충분히 큰 고압 하에서도 동작할 수 있다.

둘째, 내압 특성이 우수한 고전압 소자를 단순한 공정을 통하여 제조할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

수직한 벽면을 양측에 갖는 제 1 영역과 제 1 영역의 양측에 그보다 높은 높이를 갖는 제 2, 3 영역을 갖는 기판;

상기 수직한 벽면의 일부를 포함하는 제 1 영역의 기판 표면내에 형성되는 채널 영역;

상기 수직한 벽면을 포함하는 제 1 영역의 표면에 형성되는 제 1 절연막;

상기 제 1 영역의 양측에 벽면에 인접하도록 분리되어 형성되는 버퍼용 도전막들;

상기 버퍼용 도전막들 사이에 리세스 부분을 갖고 형성되는 제 2 절연막;

제 3 절연막에 의해 절연되어 리세스 부분을 채우고 버퍼용 도전막들과 일부 오버랩되어 형성되는 게이트 전극;

상기 제 2, 3 영역에 제 1 깊이를 갖고 각각 형성되는 드리프트 영역들;

상기 제 2, 3 영역에 제 1 깊이보다 얇은 제 2 깊이를 갖고 형성되는 소오스/드레인을 포함하는 것을 특징으로 하는 고전압 소자.

##### 청구항 2.

제 1 항에 있어서, 상기 게이트 전극은 하부 표면이 상기 제 2 절연막과 버퍼용 도전막에 의해 정의되고 상부 표면은 평탄하여 중앙과 에지 부분의 두께가 다른 것을 특징으로 하는 고전압 소자.

### 청구항 3.

제 1 항에 있어서, 상기 버퍼용 도전막은 상기 제 2, 3 영역의 반도체 기판 표면과 높이가 동일하거나 그보다 높은 것을 특징으로 하는 고전압 소자.

### 청구항 4.

제 1 항에 있어서, 상기 제 1 깊이의 크기는 상기 제 1 영역과 제 2, 3 영역 사이의 단차 크기보다 작은 것을 특징으로 하는 고전압 소자.

### 청구항 5.

반도체 기판에 드리프트 영역을 형성하는 단계;

상기 드리프트 영역내에 소오스/드레인 이온 주입 영역을 형성하는 단계;

상기 반도체 기판의 일영역에 상기 드리프트 영역보다 깊은 트렌치를 형성하는 단계;

트렌치를 포함한 전 표면에 제 1 절연막을 형성하고 그 상부에 제 1 도전막을 형성하는 단계;

상기 제 1 도전막을 선택적으로 제거하여 상기 트렌치 양측면에 버퍼용 도전막을 형성하는 단계;

상기 트렌치 하부에 소정 두께의 제 2 절연막을 형성하는 단계;

상기 버퍼용 도전막을 포함한 전 표면에 제 3 절연막을 형성하고 그 상부에 제 2 도전막을 형성하는 단계;

상기 제 2 도전막과 상기 제 3 절연막을 선택적으로 제거하여 상기 트렌치 상부 및 그에 인접한 버퍼용 도전막상에 게이트 전극을 형성하는 단계를 포함하여 형성함을 특징으로 하는 고전압 소자의 제조방법.

### 청구항 6.

제 5항에 있어서, 상기 트렌치를 형성한 후에 상기 반도체 기판에 채널 이온을 주입하여 상기 트렌치 하부 및 하측면의 반도체 기판에 채널 영역을 형성하는 공정을 더 포함하여 형성함을 특징으로 하는 고전압 소자의 제조방법.

### 청구항 7.

제 5항에 있어서, 상기 제 2 절연막은 상기 트렌치가 완전히 매립되도록 절연 물질을 증착하고 에치백 공정으로 상기 트렌치 하부에 소정 두께로 남도록 상기 절연 물질을 선택적으로 제거하여 형성함을 특징으로 하는 고전압 소자의 제조방법.

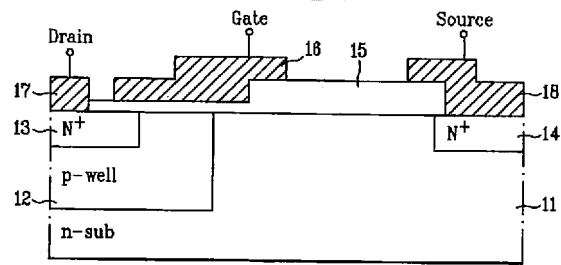
### 청구항 8.

제 6항에 있어서, 상기 채널 영역은 틸트 이온 주입 공정으로 형성하는 것을 특징으로 하는 고전압 소자의 제조방법.

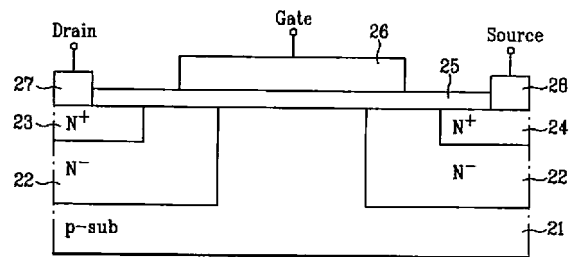


도면

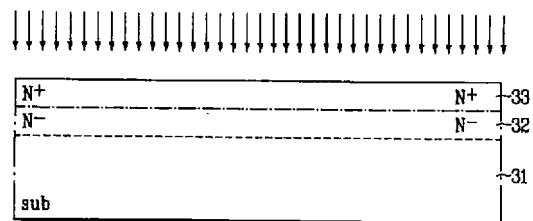
도면 1



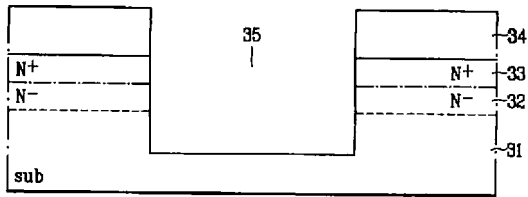
도면 2



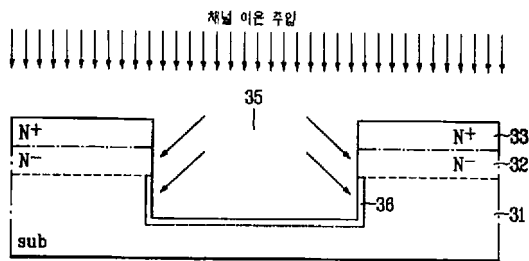
도면 3a



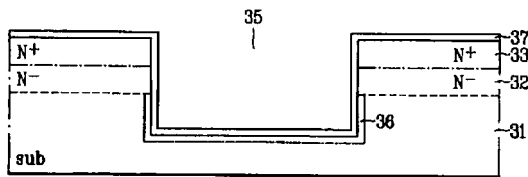
도면 3b



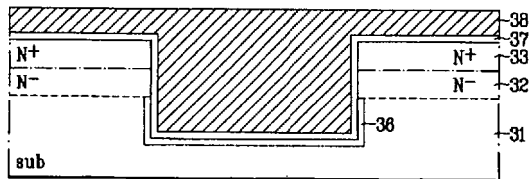
도면 3c



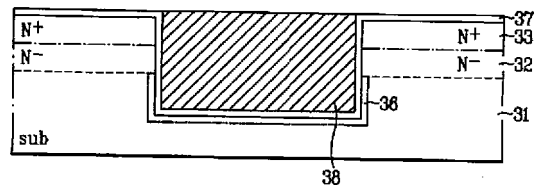
도면 3d



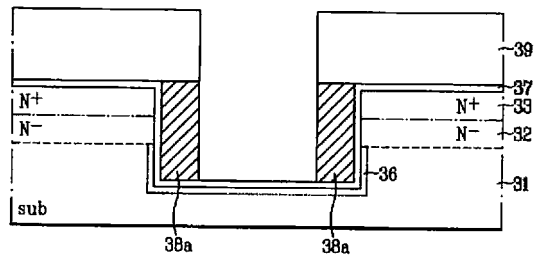
도면 3e



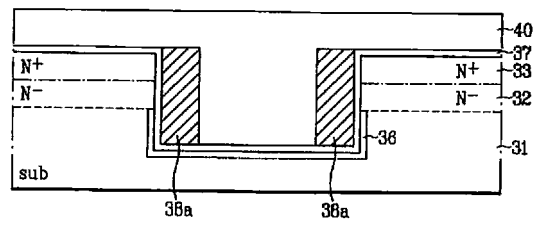
도면 3f



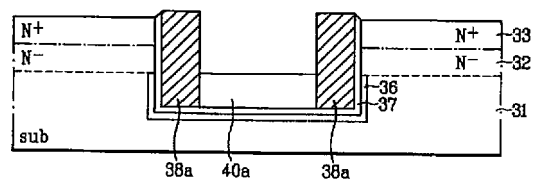
도면 3g



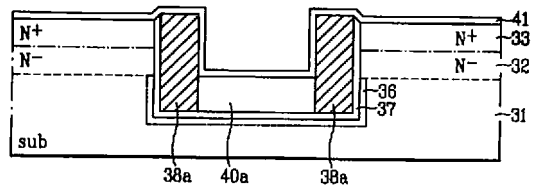
도면 3h



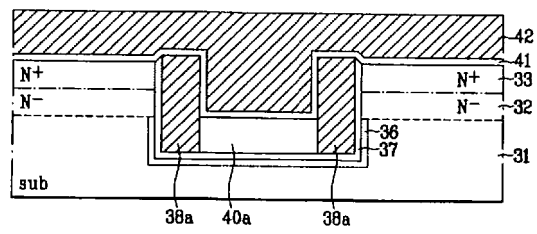
도면 3i



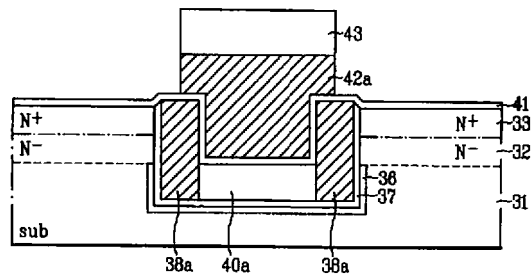
도면 3j



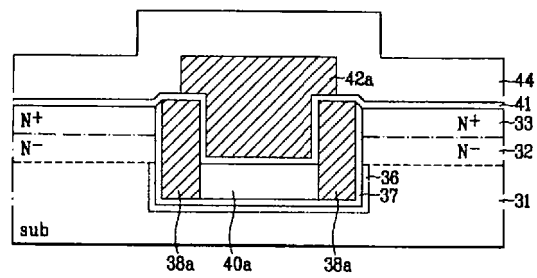
도면 3k



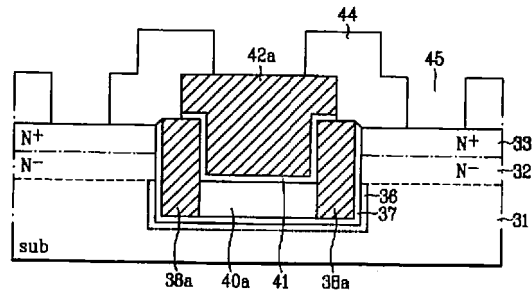
도면 3l



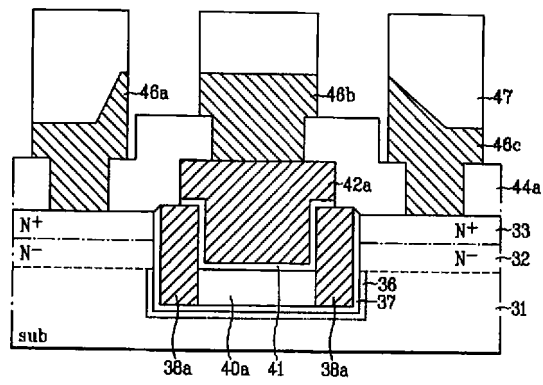
도면 3m



도면 3n



도면 3o



도면 3p

